

Docket No.: SON-2827
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Mitsuru Asano, et al.

Application No.: Not Yet Assigned

Filed: September 23, 2003

Art Unit: N/A

For: ACTIVE-MATRIX DISPLAY DEVICE AND
METHOD OF DRIVING THE SAME
Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Japan	P2002-298428	October 11, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 23, 2003

Respectfully submitted,

By _____

Ronald P. Kananen

Registration No.: 24,104

(202) 955-3750

Attorneys for Applicant

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年10月11日

出願番号 Application Number: 特願2002-298428

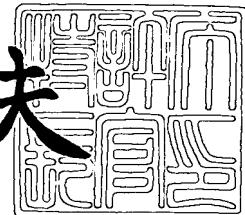
[ST. 10/C]: [JP2002-298428]

出願人 Applicant(s): ソニー株式会社

2003年 7月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0290583302

【提出日】 平成14年10月11日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/00

G09G 3/30

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 浅野 慎

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 湯本 昭

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】 マトリクス状に複数配列された画素回路と、
前記画素回路のマトリクス配列に対して列毎に配線された信号線と、
前記画素回路のマトリクス配列に対して行毎に配線された第一、第二、第三および第四の走査線とを備え、
前記画素回路の各々が、
ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、
一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと
、
一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、
ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、
ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、
ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、
ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、
前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有する
ことを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 前記第三のトランジスタと前記第五のトランジスタとが同導電型であり、前記第二の走査線と前記第四の走査線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 3】 前記第三のトランジスタと前記第四のトランジスタとが逆導電型であり、前記第二の走査線と前記第三の走査線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 4】 前記第四のトランジスタと前記第五のトランジスタとが逆導電型であり、前記第三の走査線と前記第四の走査線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 5】 前記第三のトランジスタおよび前記第五のトランジスタと前記第四のトランジスタとが逆導電型であり、前記第二の走査線と前記第三の走査線と前記第四の走査線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 6】 前記第一の電源線と前記第三の電源線とが共通である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 7】 前記第三の電源線の電源電圧が前記第一の電源線の電源電圧よりも低い

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 8】 前記第三の電源線の電源電圧が可変である

ことを特徴とする請求項 7 記載のアクティブマトリクス型表示装置。

【請求項 9】 前記第一乃至第五のトランジスタがポリシリコン薄膜トランジスタである

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 10】 前記表示素子が、第一、第二の電極およびこれらの電極間に挟持された発光層を含む有機層を有する有機エレクトロルミネセンス素子である

ことを特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 11】 マトリクス状に複数配列された画素回路と、

前記画素回路のマトリクス配列に対して列毎に配線された信号線と、

前記画素回路のマトリクス配列に対して行毎に配線された第一、第二、第三および第四の走査線とを備え、

前記画素回路の各々が、

ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、

一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと

、
一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、

ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、

ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、

ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、

ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、

前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有するアクティブマトリクス型表示装置の駆動方法であって、

前記第一、第四のトランジスタをオフ、前記第三、第五のトランジスタをオンとして、画素毎に前記第二のトランジスタのしきい値電圧の補正を行い、

しかる後前記第一のトランジスタをオン、前記第三、第五のトランジスタをオフとして、前記信号線より画素への表示データの書き込みを行う

ことを特徴とするアクティブマトリクス型表示装置の駆動方法。

【請求項 12】 同一の前記信号線に接続される異なる行の画素において、前記しきい値電圧の補正を行う期間と、前記表示データの書き込みを行う期間とが並行して存在する

ことを特徴とする請求項 11 記載のアクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、表示素子を有する画素（画素回路）がマトリクス状に配置され、走査線、信号線によって画像データの書き込み、表示を行うアクティブマトリクス型表示装置およびその駆動方法に関し、特に表示素子として例えば有機エレクトロルミネセンス(electroluminescence；EL)素子を用いたアクティブマトリクス型有機EL表示装置およびその駆動方法に関する。

【0002】**【従来の技術】**

アクティブマトリクス型表示装置において、画素の表示素子として、液晶セルや有機EL素子等の電気光学素子が用いられる。そのうち、有機EL素子は有機材料からなる層、即ち有機層を電極で挟み込んだ構造を持っている。この有機EL素子では、当該素子に電圧を印加することにより、陰極から電子が、陽極から正孔が有機層に注入され、その結果電子・正孔が再結合し、発光が生じる。この有機EL素子は以下のようないくつかの特長を持っている。

【0003】

- 1) 10V以下の低電圧駆動で、数100～数10000cd/m²の輝度が得られることから低消費電力化が可能である。
- 2) 自発光素子であることから画像のコントラストが高く、応答速度も速いことから視認性が良く、動画表示にも適している。
- 3) シンプルな構造を持つ全固体型素子であり、素子の高信頼性化、薄型化が可能である。

これらの特長を持つ有機EL素子を画素の表示素子として用いた有機EL表示装置（以下、有機ELディスプレイと記す）は、次世代のフラットパネルディスプレイとして有望視されている。

【0004】

ところで、有機ELディスプレイの駆動方式として、単純マトリクス方式とアクティブマトリクス方式とが挙げられる。これらの方のうち、アクティブマト

リクス方式には、以下のような特長がある。

- 1) 各画素における有機EL素子の発光を1フレーム期間に亘って保持できるアクティブマトリクス方式は、有機ELディスプレイの高精細化・高輝度化に適している。
- 2) 基板（パネル）上に、薄膜トランジスタを用いた周辺回路を作成することが可能であるため、パネル外部とのインターフェイスの簡素化、パネルの高機能化が可能である。

【0005】

このアクティブマトリクス型有機ELディスプレイでは、アクティブ素子であるトランジスタには、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ（Thin Film Transistor; TFT）を用いるのが一般的である。その理由は、ポリシリコンTFTは駆動能力が高く、画素サイズを小さく設計できることによって高精細化に有利だからである。このような特長を持つ反面、ポリシリコンTFTは特性のばらつきが大きいことも広く知られている。

【0006】

したがって、ポリシリコンTFTを用いる場合、その特性ばらつきを抑えること、また回路的にTFTの特性ばらつきを補償することは、ポリシリコンTFTを用いたアクティブマトリクス型有機ELディスプレイにおける大きな課題である。これは、次のような理由による。すなわち、画素の表示素子として液晶セルを用いた液晶ディスプレイでは、各画素の輝度データを電圧値によって制御する構成が採られるのに対して、有機ELディスプレイでは、各画素の輝度データを電流値によって制御する構成が採られるからである。

【0007】

ここで、アクティブマトリクス型有機ELディスプレイの概要について説明する。図11に最も簡単なアクティブマトリクス型有機ELディスプレイの構成の概略を、図12にその画素回路の回路構成をそれぞれ示す（例えば、特許文献1参照）。アクティブマトリクス型有機ELディスプレイは、 $m \times n$ 個の画素101がマトリクス状に配列され、これら画素101のマトリクス配列に対してデータドライバ102によって駆動される m 列分の信号線103-1～103- m が

画素列毎に、スキャンドライバ104によって駆動されるn行分の走査線105
-1～105-nが画素行毎にそれぞれ配線された構成となっている。

【0008】

また、画素（画素回路）101は、図12から明らかなように、有機EL素子110、第一、第二のトランジスタ111、112およびキャパシタ113を有する構成となっている。ここでは、第一のトランジスタ111としてNチャネルトランジスタ、第二のトランジスタ112としてPチャネルトランジスタがそれぞれ用いられている。

【0009】

第一のトランジスタ111は、ソース端が信号線103（103-1～103-m）に、ゲート端が走査線105（105-1～105-n）にそれぞれ接続されている。キャパシタ113は、一端が電源電圧VCC1（例えば、正電源電圧）の第一の電源線121に、他端が第一のトランジスタ111のドレイン端にそれぞれ接続されている。第二のトランジスタ112は、ソース端が第一の電源線121に、ゲート端が第一のトランジスタ111のドレイン端にそれぞれ接続されている。有機EL素子110は、アノード端が第二のトランジスタ112のドレイン端に、カソード端が電源電圧VCC2（例えば、グランド電位）の第二の電源線122にそれぞれ接続されている。

【0010】

上記構成の画素回路において、輝度データの書き込みを行う画素では、当該画素を含む画素行がスキャンドライバ104によって走査線105を介して選択されることで、その行の画素の第一のトランジスタ111がオンする。このとき、輝度データはデータドライバ102から信号線103を介して電圧で供給され、第一のトランジスタ111を通してデータ電圧を保持するキャパシタ113に書き込まれる。キャパシタ113に書き込まれた輝度データは、1フィールド期間に亘って保持される。この保持されたデータ電圧は、第二のトランジスタ112のゲート端に印加される。

【0011】

これにより、第二のトランジスタ112は、保持データにしたがって有機EL

素子110を電流で駆動する。このとき、有機EL素子110の階調表現は、キャパシタ113によって保持される第二のトランジスタ112のゲート・ソース間電圧 $V_{data} (< 0)$ を変調することによって行われる。

【0012】

一般に、有機EL素子の輝度 L_{oled} は、当該素子に流れる電流 I_{oled} に比例する。したがって、有機EL素子の輝度 L_{oled} と電流 I_{oled} との間には次式が成立つ。

$$L_{oled} \propto I_{oled} \\ = k (V_{data} - V_{th})^2 \quad \dots \dots (1)$$

【0013】

式(1)において、 $k = 1/2 \cdot \mu \cdot C_{ox} \cdot W/L$ である。ここで、 μ は第二のトランジスタ112のキャリアの移動度、 C_{ox} は第二のトランジスタ112の単位面積当たりのゲート容量、 W は第二のトランジスタ112のゲート幅、 L は第二のトランジスタ112のゲート長である。したがって、第二のトランジスタ112の移動度 μ 、しきい値電圧 $V_{th} (< 0)$ のばらつきが、直接的に、有機EL素子の輝度ばらつきに影響を与えることがわかる。

【0014】

これに対して、特に、輝度ばらつきが問題になり易いしきい値電圧 V_{th} を補償可能な画素回路として、しきい値電圧補正型画素回路が考案されている（例えば、特許文献2参照）。

【0015】

図13は、従来例に係るしきい値電圧補正型画素回路の構成を示す回路図であり、図中、図12と同等部分には同一符号を付して示している。図13から明らかなように、この従来例に係るしきい値電圧補正型画素回路は、有機EL素子110、4つのトランジスタ111、112、114、115および2つのキャパシタ113、116を有する構成となっている。なお、本画素回路を用いる有機ELディスプレイでは、スキャンドライバ104（図11参照）によって駆動される走査線として、3本の走査線105A、105B、105Cが画素行毎に配線されることになる。

【0016】

第一のトランジスタ111は、ソース端が信号線103に、ゲート端が第一の走査線105Aにそれぞれ接続されている。第一のキャパシタ116は、一端が第一のトランジスタ111のドレイン端に接続されている。第二のトランジスタ112は、ゲート端が第一のキャパシタ116の他端に、ソース端が電源電圧VCC1（例えば、正電源電圧）の第一の電源線121にそれぞれ接続されている。第二のキャパシタ113は、一端が第一の電源線121に、他端が第二のトランジスタ112のゲート端にそれぞれ接続されている。

【0017】

第三のトランジスタ114は、ゲート端が第二の走査線105Bに、ソース端が第二のトランジスタ112のゲート端に、ドレイン端が第二のトランジスタ112のドレイン端にそれぞれ接続されている。第四のトランジスタ115は、ゲート端が第三の走査線105Cに、ソース端が第二のトランジスタ112のドレイン端にそれぞれ接続されている。有機EL素子110は、アノード端が第四のトランジスタ115のドレイン端に、カソード端が電源電圧VCC2（例えば、グランド電位）の第二の電源線122にそれぞれ接続されている。

【0018】

次に、上記構成の従来例に係るしきい値電圧補正型画素回路の回路動作について、図14のタイミングチャートを用いて説明する。このタイミングチャートでは、i行目およびi+1行目の画素回路についてその駆動時のタイミング関係を示している。また、図14のタイミングチャートにおいて、「補正」はしきい値電圧補正期間を、「書込」はデータ書込期間を、「保持」はデータ保持期間をそれぞれ表している。

【0019】

本画素回路の動作では、データ書込期間に先立つてしきい値電圧補正期間が存在する。このしきい値電圧補正期間において、第一の走査線105Aを介して与えられる走査パルスSCAN1が高レベル（以下、“H”レベルと記す）になることで第一のトランジスタ111がオンし、信号線103にはデータドライバ102から固定電位Voが供給される。これにより、この固定電位Voが第一のト

ンジスタ111を介して第一のキャパシタ116に書き込まれる。このとき、第二の走査線105Bを介して与えられる走査パルスSCAN2も“H”レベルになるため第三のトランジスタ114がオンし、また第三の走査線105Cを介して与えられる走査パルスSCAN3が低レベル（以下、“L”レベルと記す）にあるため第四のトランジスタ115がオフ状態にある。

【0020】

この状態において、一端側の電位が固定電位 V_0 にある第一のキャパシタ116は、その他端側から第三のトランジスタ114のソース・ドレインを介して充電される。そして、しきい値電圧補正期間が十分に長ければ、第一のキャパシタ116の他端側の電位、即ち第二のトランジスタ112のゲート・ソース間電圧は、トランジスタのしきい値電圧 $V_{th} (< 0)$ に収束する。

【0021】

次のデータ書き込み期間においては、走査パルスSCAN1が“H”レベルを維持しているため第一のトランジスタ111がそのままオン状態にあり、信号線102からはデータ電位 $V_0 + V_{data}$ ($V_{data} < 0$) が供給される。このとき、走査パルスSCAN2が“L”レベルにあるため第三のトランジスタ114はオフしている。

【0022】

ここで、トランジスタのゲート容量、寄生容量等を無視するものとすると、第二のトランジスタ112のゲート・ソース間電圧 V_{gs} は次式で表される。

$$V_{gs} = V_{th} + C_1 / (C_1 + C_2) \cdot V_{data} \quad \dots \dots (2)$$

なお、 C_1 、 C_2 は、第一、第二のキャパシタ116、113の各容量値を表している。

【0023】

式(2)を用いることで、有機EL素子110に流れる電流 I_{oled} は、次式のように表される。

$$\begin{aligned} L_{oled} &\propto I_{oled} \\ &= k \{C_1 / (C_1 + C_2) \cdot V_{data}\}^2 \quad \dots \dots (3) \end{aligned}$$

【0024】

式（3）から明らかなように、有機EL素子110に流れる電流 I_{oled} は、第二のトランジスタ112のしきい値電圧 V_{th} に依存しないことがわかる。すなわち、従来例に係るしきい値電圧補正型画素回路を用いることで、画素毎の第二のトランジスタ112のしきい値電圧 V_{th} を補正されていることがわかる。このことは、第二のトランジスタ112のしきい値電圧 V_{th} のばらつきが、有機EL素子110の輝度ばらつきに影響を与えないことを意味している。

【0025】

【特許文献1】

特開平8-234683号公報

【特許文献2】

米国特許第6, 229, 506号明細書

【0026】

【発明が解決しようとする課題】

ところで、上述した従来例に係るしきい値電圧補正型画素回路では、しきい値電圧補正期間において、第二のトランジスタ112はソース・ゲート間電圧がしきい値電圧 V_{th} に向けて変化するにしたがって徐々にオフ状態に近づき、これに伴って動作が緩慢になるため、第二のトランジスタ112のソース・ゲート間電圧がしきい値電圧 V_{th} に収束するのに時間がかかる。したがって、しきい値電圧補正期間としては十分に長い時間が必要となる。

【0027】

しきい値電圧補正期間での第二のトランジスタ112のゲート電圧に関する微分方程式は、次式のように表される。

$$k \cdot \{V_{gs}(t) - V_{th}\}^2 = -C_s \cdot dV_{gs}/dt \quad \dots (4)$$

式（4）において、十分なしきい値電圧補正期間として、電流が最小輝度時の $1/2$ になる時間を考える。

【0028】

有機EL素子110の最高輝度時の電流値を I_{max} 、第二のトランジスタ112のゲート・ソース間電圧 V_{gs} の初期値を V_{init} 、第二のトランジスタ112のゲート電圧の保持容量を（主に第二のキャパシタ113の容量 C_1 ） C_s 、階

調数を n 、最高輝度時の電流値 I_{max} を与えるゲート・ソース間電圧 V_{g_s} を $V_{g_s} = \Delta V + V_{th}$ とすると、電流が最小輝度時の $1/2$ である $I_{max}/2$ ($n-1$) になるのに要する時間は次式で表される。

$$t = C_s \cdot \Delta V / I_{max} \sqrt{(2n-2) - \Delta V / V_{init}} \dots (5)$$

【0029】

ここで、数値の一例として、 $C_s = 1 \text{ [pF]}$ 、 $n = 64$ 、 $\Delta V = 4$ 、 $I_{max} = 1 \text{ [\mu A]}$ とし、第二項は十分小さい場合を考えると、 $t = 45 \text{ [\mu s]}$ である。一方、解像度（グラフィックス表示規格）VGA、走査線480本、フレーム周波数60Hzの場合、1水平期間は約 $30 \mu s$ であり、1水平期間の間でしきい値電圧期間を終了するのが難しいことがわかる。

【0030】

このように、十分なしきい値電圧補正期間としては、VGAクラスのディスプレイでは数 μs ~ 数 $10 \mu s$ の時間が必要であるため、1水平期間内にしきい値電圧補正期間とデータ書込期間とを連続して行うことは難しい。換言すれば、VGAクラスの有機ELディスプレイには、従来例に係るしきい値電圧補正型画素回路を適用できることになる。また、ディスプレイが高精細化するに連れて1水平期間は走査線数に反比例して短くなるため、より一層、十分なしきい値電圧補正期間の確保が難しくなることがわかる。

【0031】

また、従来例に係るしきい値電圧補正画素回路では、信号線103がしきい値補正期間、データ書込期間のそれぞれに相当した信号線電位、即ちしきい値補正期間では固定電位 V_o 、データ書込期間ではデータ電位 $V_{data} +$ 固定電位 V_o をそれぞれ供給する必要があるため、信号線駆動回路であるデータドライバ102（図11参照）の構成が複雑になり易い。

【0032】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、しきい値電圧補正型画素回路を用いることによって表示画像の均一性を向上させながら、1水平期間の長さに関わらず十分なしきい値電圧補正期間を確保することによって高精細化を可能としたアクティブマトリクス型表示装置およびその駆

動方法を提供することにある。

【0033】

【課題を解決するための手段】

本発明によるアクティブマトリクス型表示装置は、マトリクス状に複数配列された画素回路と、前記画素回路のマトリクス配列に対して列毎に配線された信号線と、前記画素回路のマトリクス配列に対して行毎に配線された第一、第二、第三および第四の走査線とを備え、画素回路の各々が、ゲート端が前記第一の走査線に、第一電極端が前記信号線にそれぞれ接続された第一のトランジスタと、一端が前記第一のトランジスタの第二電極端に接続された第一のキャパシタと、一端が前記第一のキャパシタの他端または一端に接続された第二のキャパシタと、ゲート端が前記第一のキャパシタの他端に、第一電極端が第一の電源線にそれぞれ接続された第二のトランジスタと、ゲート端が前記第二の走査線に、第一電極端が前記第二のトランジスタのゲート端に、第二電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第三のトランジスタと、ゲート端が前記第三の走査線に、第一電極端が前記第二のトランジスタの第二電極端にそれぞれ接続された第四のトランジスタと、ゲート端が前記第四の走査線に、第一電極端が第三の電源線に、第二電極端が前記第一のトランジスタの第二電極端にそれぞれ接続された第五のトランジスタと、前記第四のトランジスタの第二電極端と第二の電源線との間に接続された表示素子とを有する構成となっている。

【0034】

そして、上記構成のアクティブマトリクス型表示装置において、前記第一、第四のトランジスタをオフ、前記第三、第五のトランジスタをオンとして、画素毎に前記第二のトランジスタのしきい値電圧の補正を行い、しかる後前記第一のトランジスタをオン、前記第三、第五のトランジスタをオフとして、前記信号線より画素への表示データの書き込みを行うように駆動する。前記第二のトランジスタのしきい値電圧の補正を行う期間では、第五のトランジスタが第3の電源線の電源電圧を固定電位として第一のキャパシタに供給する。

【0035】

このように、しきい値電圧の補正に必要となる固定電位を、信号線とは異なる

電源線から供給することで、ある画素について他画素で信号線から表示データの書き込みを行うのと並行してしきい値電圧の補正を行うことが可能になる。これより、ある画素行に注目した場合、1水平期間をデータ書込期間として設定できるとともに、その直前にしきい値電圧補正期間として任意の期間を設定できるため、しきい値電圧補正期間として十分に長い期間を確保できる。

【0036】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、例えば画素の表示素子として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT）をそれぞれ用い、当該薄膜トランジスタを形成した基板上有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイに適用した場合を例に採って説明するものとする。

【0037】

図1において、 $m \times n$ 個の画素（画素回路）11の各々は表示素子として有機EL素子を持ち、マトリクス状に配列されている。これら画素11のマトリクス配列に対し、信号線駆動回路であるデータドライバ12によって駆動されるm列分の信号線（データ線）信号線13-1～13-mが画素列毎に配線され、また走査線駆動回路であるスキャンドライバ14によって駆動される複数系統、例えば4系統のn行分の走査線15A-1～15A-n, 15B-1～15B-n, 15C-1～15C-n, 15D-1～15D-nが画素行毎にそれぞれ配線されている。

【0038】

上記構成のアクティブマトリクス型有機ELディスプレイにおいて、本発明では、画素11（画素回路）の具体的な回路構成およびその回路動作を特徴としている。以下に、画素11について具体的な回路例をいくつか挙げ、それらについて詳細に説明する。

【0039】

[第一回路例]

図2は、第一回路例に係る画素回路11Aの構成を示す回路図である。図2から明らかなように、本回路例に係る画素回路11Aは、有機EL素子20、5つのトランジスタ21～25および2つのキャパシタ26、27を有する構成となっている。有機EL素子20は、発光層を含む有機層を第1、第2の電極で挟み込んだ構造となっている。

【0040】

第一乃至第五のトランジスタ21～25は、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ（TFT）である。本回路例では、これらトランジスタ21～25のうち、第二のトランジスタ22としてPチャネルトランジスタを用い、それ以外のトランジスタ21、23～25としてNチャネルトランジスタを用いた構成を採っている。

【0041】

第一のトランジスタ21は、ソース端が信号線13に、ゲート端が第一の走査線15Aにそれぞれ接続されている。第一のキャパシタ26は、一端（入力端）が第一のトランジスタ11のドレイン端に接続されている。第二のトランジスタ22は、ゲート端が第一のキャパシタ26の他端（出力端）に、ソース端が電源電圧VCC1（例えば、正電源電圧）の第一の電源線31にそれぞれ接続されている。

【0042】

第二のキャパシタ27は、一端が第一の電源線31に、他端が第二のトランジスタ22のゲート端にそれぞれ接続されている。第三のトランジスタ23は、ゲート端が第二の走査線15Bに、ソース端が第二のトランジスタ22のゲート端に、ドレイン端が第二のトランジスタ22のドレイン端にそれぞれ接続されている。第四のトランジスタ24は、ゲート端が第三の走査線15Cに、ソース端が第二のトランジスタ22のドレイン端にそれぞれ接続されている。

【0043】

第五のトランジスタ25は、ゲート端が第四の走査線15Dに、ソース端が電源電圧VCC3（例えば、正電源電圧）の第三の電源線33に、ドレイン端が第

一のトランジスタ21のドレイン端（第一のキャパシタ26の一端）にそれぞれ接続されている。電源電圧VCC3は、電源電圧VCC1とは異なる電圧値となっている。有機EL素子20は、アノード端が第四のトランジスタ24のドレイン端に、カソード端が電源電圧VCC2（例えば、グランド電位）の第二の電源線32にそれぞれ接続されている。

【0044】

上記構成の第一回路例に係る画素回路11Aでは、同一データ線に接続された画素間で、データ書込期間としきい値電圧補正期間とが並行して存在するようしている点を特徴としている。以下、データ書込期間およびしきい値電圧補正期間における各動作について、i行目の画素行の場合を例に挙げて図3のタイミングチャートを用いて説明する。図3のタイミングチャートにおいて、「補正」はしきい値電圧補正期間を、「書込」はデータ書込期間を、「保持」はデータ保持期間をそれぞれ表している。

【0045】

先ず、しきい値電圧補正期間において、スキャンドライバ14（図1参照）から第一の走査線15Aを介して与えられる走査パルスSCAN1(i)が“L”レベルであることによって第一のトランジスタ21がオフし、また第四の走査線15Dを介して与えられる走査パルスSCAN4(i)が“H”レベルであることによって第五のトランジスタ25がオンする。これにより、第一のキャパシタ26の入力端には、第3の電源線33から第五のトランジスタ25を通して電源電圧VCC3が固定電位V₀として供給される。

【0046】

このとき、第二の走査線15Bを介して与えられる走査パルスSCAN2(i)が“H”レベルであることによって第三のトランジスタ23がオンし、第三の走査線15Cを介して与えられる走査パルスSCAN3(i)が“L”レベルであることによって第四のトランジスタ24がオフする。これにより、第一のキャパシタ26は出力端側から第三のトランジスタ23のソース・ドレインを介して充電される。その際、しきい値電圧補正期間が十分に長ければ、第二のトランジスタ22のゲート・ソース間電圧は、トランジスタのしきい値電圧V_{th}(<0)に

収束する。

【0047】

次のデータ書込期間に入ると、走査パルスSCAN1(i)が“H”レベルとなることで第一のトランジスタ21がオンし、走査パルスSCAN4(i)が“L”レベルとなることで第五のトランジスタ25がオフする。これにより、信号線13から第一のトランジスタ21を通してデータ電位 $V_o + V_{data}$ ($V_{data} < 0$) が供給される。その際、走査パルスSCAN2(i)が“L”レベルであることによって第三のトランジスタ23はオフ状態にある。

【0048】

この第一回路例に係る画素回路11Aにおいても、先の式(2), (3)が同様に成り立つため、有機EL素子20に流れる電流 I_{oled} は、トランジスタのしきい値電圧 V_{th} に依存しないことがわかる。すなわち、画素毎の第二のトランジスタ22のしきい値電圧 V_{th} が補正されていることがわかる。

【0049】

また同様に、しきい値電圧補正期間に必要な時間は、先の式(4), (5)で表される。しかし、本回路例に係る画素回路11Aにおいては、しきい値電圧補正期間における第一のキャパシタ26の入力端の信号線13との接続を第一のトランジスタ21によって制御し、電源線33との接続を第五のトランジスタ25によって制御する構成を採っている。したがって、しきい値電圧補正期間にはキャパシタ26の入力端を電源線33と接続して電源電圧 V_{CC3} を固定電位 V_o として与え、データ書込期間にはキャパシタ26の入力端を信号線13に接続してデータ電位 $V_o + V_{data}$ を与えることが可能となる。

【0050】

このように、キャパシタ26の入力端の接続先をしきい値電圧補正期間とデータ書込期間とで切替え制御することにより、ある画素が信号線13よりデータの書き込みを行っているデータ書込期間にあるのと並行して、別の画素を電源線33と接続することによってしきい値電圧補正期間にすることが可能である。また同時に、複数画素をしきい値電圧補正期間にすることも容易である。その結果、しきい値電圧補正期間として十分に長い期間を確保することが可能になる。

【0051】

具体的には、第一回路例に係る画素回路11Aにおいては、図3のタイミングチャートから明らかなように、ある画素行に注目した場合、1水平期間をデータ書込期間とするとともに、その直前の2水平期間をしきい値電圧補正期間としていることがわかる。また、ある時間に注目した場合、1つの画素（i行目）がデータ書込期間であるのと並行して、別の2つの画素（i+1行目とi+2行目）がしきい値電圧補正期間にあることがわかる。

【0052】

これにより、1水平期間内にしきい値電圧補正期間とデータ書込期間を持つ必要がなく、ディスプレイの高精細化と、十分に長いしきい値電圧補正期間の確保による均一性の良い表示画像を同時に実現することが可能になる。また、図3のタイミングチャートから明らかなように、信号線13は輝度データのみを順次供給すれば良いため、信号線13の駆動波形も容易であり、汎用的な液晶ディスプレイ等と同様の波形での駆動が可能である。したがって、信号線駆動回路であるデータドライバ12（図1参照）を簡単な回路構成にて実現できる。

【0053】

[第二回路例]

図4は、第二回路例に係る画素回路11Bの構成を示す回路図であり、図中、図2と同等部分には同一符号を付して示している。図4から明らかなように、本回路例に係る画素回路11Bも、第一回路例に係る画素回路11Aと同様に、有機EL素子20、5つのトランジスタ21～25および2つのキャパシタ26、27を有する構成となっている。本回路例に係る画素回路11Bが、構成上、第一回路例に係る画素回路11Aと異なるのは、第二のキャパシタ27の接続位置の点だけである。

【0054】

以下に、各回路素子の接続関係について具体的に説明する。第一のトランジスタ21は、ソース端が信号線13に、ゲート端が第一の走査線15Aにそれぞれ接続されている。第一のキャパシタ26は、一端（入力端）が第一のトランジスタ11のドレイン端に接続されている。第二のトランジスタ22は、ゲート端が

第一のキャパシタ26の他端（出力端）に、ソース端が電源電圧VCC1（例えば、正電源電圧）の第一の電源線31にそれぞれ接続されている。

【0055】

第二のキャパシタ27は、一端が第一の電源線31に、他端が第一のトランジスタ21のドレイン端（第一のキャパシタ26の他端）にそれぞれ接続されている。第三のトランジスタ23は、ゲート端が第二の走査線15Bに、ソース端が第二のトランジスタ22のゲート端に接続され、ドレイン端が第二のトランジスタ22のドレイン端にそれぞれ接続されている。第四のトランジスタ24は、ゲート端が第三の走査線15Cに、ソース端が第二のトランジスタ22のドレイン端にそれぞれ接続されている。

【0056】

第五のトランジスタ25は、ゲート端が第四の走査線15Dに、ソース端が電源電圧VCC3（例えば、正電源電圧）の第三の電源線33に、ドレイン端が第一のトランジスタ21のドレイン端（第一のキャパシタ26の一端）にそれぞれ接続されている。有機EL素子20は、アノード端が第四のトランジスタ24のドレイン端に、カソード端が電源電圧VCC2（例えば、グランド電位）の第二の電源線32にそれぞれ接続されている。

【0057】

上記構成の第二回路例に係る画素回路11Bにおいて、しきい値電圧補正、データ書き込みおよびデータ保持の各動作については第一回路例に係る画素回路11Aと基本的に同じである。また、第一回路例に係る画素回路11Aでは先の式（2），（3）が成り立つとしたが、第二回路例に係る画素回路11Bにおいては次式（6），（7）が成り立つ。

$$V_{gs} = V_{th} + V_{data} \quad \dots \dots (6)$$

$$I_{oled} \propto I_{oled} \\ = k \{V_{data}\}^2 \quad \dots \dots (7)$$

【0058】

式（6），（7）から明らかなように、本回路例に係る画素回路11Bでも、有機EL素子20に流れる電流I_{oled}は、トランジスタのしきい値電圧V_{th}に

依存しないことがわかる。すなわち、画素毎の第二のトランジスタ22のしきい値電圧V_{t h}が補正されていることがわかる。また、データの入力電圧振幅V_{d a t a}が、そのまま第二のトランジスタ22のゲート電圧振幅となるため、信号線13の振幅を小さくすることが可能であり、低消費電力化が可能である。

【0059】

ところで、しきい値電圧補正型画素回路では、複数の走査線が必要となる。第一、第二回路例に係る画素回路11A, 11Bでは、4本の走査線15A, 15B, 15C, 15Dを用いている。しかし、このうち、第二の走査線15Bと第四の走査線15Dはしきい値電圧補正期間においてのみ第三、第五のトランジスタ23, 5をオン駆動し、第三の走査線15Cはしきい値電圧補正期間においてのみ第四のトランジスタ24をオフ駆動する必要がある。したがって、これら第二、第三、第四の走査線15B, 15C, 15Dのうちの2本または3本全てを共通化することが可能である。

【0060】

なお、第三の走査線15Cを他の2本の走査線15B, 15Dの少なくとも1本と共に用するときには、第二、第三、第四の走査線15B, 15C, 15Dで駆動制御される第三、第四、第五のトランジスタ23, 24, 25のうち、第四のトランジスタ24については、第三、第五のトランジスタ23, 25と逆導電型であることが必要となる。

【0061】

以下、これらの回路例に係る画素回路について説明する。以下に説明する各回路例に係る画素回路では、第二のキャパシタ27を第一のキャパシタ26の入力端側に接続した構成を採る第二回路例に係る画素回路11Bを基本形として説明する。ただし、第一回路例に係る画素回路11Aを基本形として同様に構成することも可能である。

【0062】

【第三回路例】

図5は、第三回路例に係る画素回路11Cの構成を示す回路図であり、図中、図4と同等部分については同一符号を付して示している。本回路例に係る画素回

路11Cにおいては、第二の走査線15Bと第四の走査線15Dとを共通化し、共通の走査パルスSCAN2によって第三のトランジスタ23と第五のトランジスタ25とを駆動する構成を採っている。

【0063】

[第四回路例]

図6は、第四回路例に係る画素回路11Dの構成を示す回路図であり、図中、図4と同等部分については同一符号を付して示している。本回路例に係る画素回路11Dにおいては、第二の走査線15Bと第三の走査線15Cとを共通化し、共通の走査パルスSCAN2によって第三のトランジスタ23と第四のトランジスタ24とを駆動する構成を採っている。この場合、第三のトランジスタ23と第四のトランジスタ24としては逆導電型のものを用いる。本回路例では、第三のトランジスタ23としてNチャネルトランジスタを、第四のトランジスタ24としてPチャネルトランジスタをそれぞれ用いている。

【0064】

[第五回路例]

図7は、第四回路例に係る画素回路11Eの構成を示す回路図であり、図中、図4と同等部分については同一符号を付して示している。本回路例に係る画素回路11Eにおいては、第三の走査線15Cと第四の走査線15Dとを共通化し、共通の走査パルスSCAN4によって第四のトランジスタ24と第五のトランジスタ25とを駆動する構成を採っている。この場合、第四のトランジスタ24と第五のトランジスタ25としては逆導電型のものを用いる。本回路例では、第四のトランジスタ24としてPチャネルトランジスタを、第五のトランジスタ25としてNチャネルトランジスタをそれぞれ用いている。

【0065】

[第六回路例]

図8は、第六回路例に係る画素回路11Fの構成を示す回路図であり、図中、図4と同等部分については同一符号を付して示している。本回路例に係る画素回路11Fにおいては、第二の走査線15Bと第三の走査線15Cと第四の走査線15Dとを共通化し、共通の走査パルスSCAN2によって第三のトランジスタ

23と第四のトランジスタ24と第五のトランジスタ25とを駆動する構成を探っている。この場合、第三、第五のトランジスタ23、25と第四のトランジスタ24としては逆導電型のものを用いる。本回路例では、第三、第五のトランジスタ23、25としてNチャネルトランジスタを、第四のトランジスタ24としてPチャネルトランジスタをそれぞれ用いている。

【0066】

上述した第三乃至第六回路例に係る画素回路11C～11Fにおいて、しきい値電圧補正、データ書き込みおよびデータ保持の各動作については、第二回路例に係る画素回路11Bと同様である。したがって、しきい値電圧補正機能についても第二回路例に係る画素回路11Bと同様に実現されることになる。

【0067】

このように、第三乃至第六回路例に係る画素回路11C～11Fにおいては、第二、第三、第四の走査線15B、15C、15Dのうちの2本または3本全てを共通化する構成を探っているため、走査線の削減による画素回路の小型化が可能となる。また、走査線の共通化により、スキャンドライバ14（図1参照）から出力する走査パルス数が少なくて済み、それに伴ってスキャンドライバ14の出力バッファ等の削減が可能になるため、スキャンドライバ14の構成の簡略化に寄与できる。

【0068】

なお、以上説明した第一乃至第六回路例11A～11Fにおいて、第三の電源線33の電源電圧VCC3を第一の電源線31の電源電圧VCC1とは異なる電圧値に設定されることが前提となるが、その大小関係については特に規定されるものではない。

【0069】

[第七回路例]

図9は、第七回路例に係る画素回路11Gの構成を示す回路図であり、図中、図4と同等部分については同一符号を付して示している。本回路例に係る画素回路11Gにおいては、第一の電源線31と第三の電源線33とを共通化し、第一のキャパシタ26に対して固定電位V₀として電源電圧VCC1を与える構成を

採っており、それ以外の構成については第二回路例に係る画素回路11Bと同様である。したがって、しきい値電圧補正機能についても第二回路例に係る画素回路11Bと同様に実現されることになる。

【0070】

このように、第一の電源線31と第三の電源線33とを共通化した構成を採ることにより、電源線数を削減できるため、しきい値電圧補正機能を第二回路例に係る画素回路11Bと同様に有しつつ、画素回路の小型化が可能となる。また、電源電圧が1つ減ることになるため、その分だけ電源回路の構成の簡略化に寄与できる。

【0071】

また、本回路例に係る画素回路11Gでは、第二回路例に係る画素回路11Bの回路構成を前提として、第一の電源線31と第三の電源線33とを共通化するとしたが、第一の電源線31と第三の電源線33とを共通化した上でさらに、第三回路例に係る画素回路11Cと同様に、第二の走査線15Bと第四の走査線15Dとを共通化する構成を採ることも可能である。

【0072】

なお、以上説明した各回路例11A～11Gにおいて、第一乃至第五のトランジスタ21～25のソース端が第一電極端に、ドレイン端が第二電極端にそれぞれ対応するものとする。第一乃至第五のトランジスタ21～25の導電型については、上記各回路例のものに限られるものではなく、適宜逆導電型のものに変更することが可能である。

【0073】

次に、信号線13の電位の決定方法について説明する。2トランジスタの従来例に係る画素回路（図12）および第二回路例に係る画素回路11B（図4）における入力データとそのときの信号線103、13の電位との関係を図10に示す。

【0074】

従来例に係る画素回路では、信号線103の電位は電源電圧VCC1に依存するため、電源電圧VCC1が大きい場合、信号線103の電位も高くなる傾向が

あった。これに対して、第二回路例に係る画素回路 11B では、式（7）が成り立つことから、輝度データが電源電圧 VCC3 との差分によって決定される。したがって、電源電圧 VCC3 を電源電圧 VCC1 と独立に小さく設定することが可能である。

【0075】

そして、電源電圧 VCC3 を電源電圧 VCC1 に対して極めて小さく設定することにより、信号線駆動回路であるデータドライバ 12 の低電圧化を図ることができるために、低消費電力化が可能になる。また、現実の画素回路では、配線間やトランジスタに多くの寄生容量が存在するため、正確な輝度データを供給することが難しい。そこで、電源電圧 VCC3 を可変とすることにより、正確な階調表示を行うための微調整として用いることも可能である。このことは、第三乃至第六回路例に係る画素回路 11C～11F についても同様である。

【0076】

なお、上記実施形態においては、画素の表示素子として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタをそれぞれ用い、ポリシリコン薄膜トランジスタを形成した基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイに適用する場合を例に採って説明したが、本発明はアクティブマトリクス型有機ELディスプレイへの適用に限られるものではなく、画素毎に表示素子を有し、画素内に輝度データを保持することが可能なアクティブマトリクス型表示装置全般に適用可能である。

【0077】

【発明の効果】

以上説明したように、本発明によれば、しきい値電圧の補正に必要となる固定電位を、信号線とは異なる電源線から供給するようにしたことで、1 水平期間をデータ書込期間として設定できるとともに、その直前にしきい値電圧補正期間として任意の期間を設定できるため、しきい値電圧補正期間として十分に長い期間を確保できる。これにより、トランジスタのしきい値電圧ばらつきを画素毎に確実に補正できるため、輝度の均一性を向上できるとともに、ディスプレイの高精度化が可能となる。

【0078】

また、信号線駆動回路からは信号線に対して、従来技術のようにしきい値補正期間で固定電位、データ書込期間でデータ電位+固定電位をそれぞれ供給する必要がなくなり、データ電位のみを順次供給すれば良いことになるため、信号線駆動回路の構成を簡略化でき、しかも固定電位が無くなる分だけ信号線駆動回路の電源電圧を低電圧化できるため、ディスプレイ全体の低消費電力化を図ることができる。

【図面の簡単な説明】**【図1】**

本発明の一実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図2】

第一回路例に係る画素回路の構成を示す回路図である。

【図3】

第一回路例に係る画素回路の動作説明のためのタイミングチャートである。

【図4】

第二回路例に係る画素回路の構成を示す回路図である。

【図5】

第三回路例に係る画素回路の構成を示す回路図である。

【図6】

第四回路例に係る画素回路の構成を示す回路図である。

【図7】

第五回路例に係る画素回路の構成を示す回路図である。

【図8】

第六回路例に係る画素回路の構成を示す回路図である。

【図9】

第七回路例に係る画素回路の構成を示す回路図である。

【図10】

入力データとそのときの信号線の電位との関係を示す図である。

【図11】

最も簡単なアクティブマトリクス型有機ELディスプレイの構成の概略を示すブロック図である。

【図12】

2トランジスタの画素回路の構成を示す回路図である。

【図13】

従来例に係る画素回路の構成を示す回路図である。

【図14】

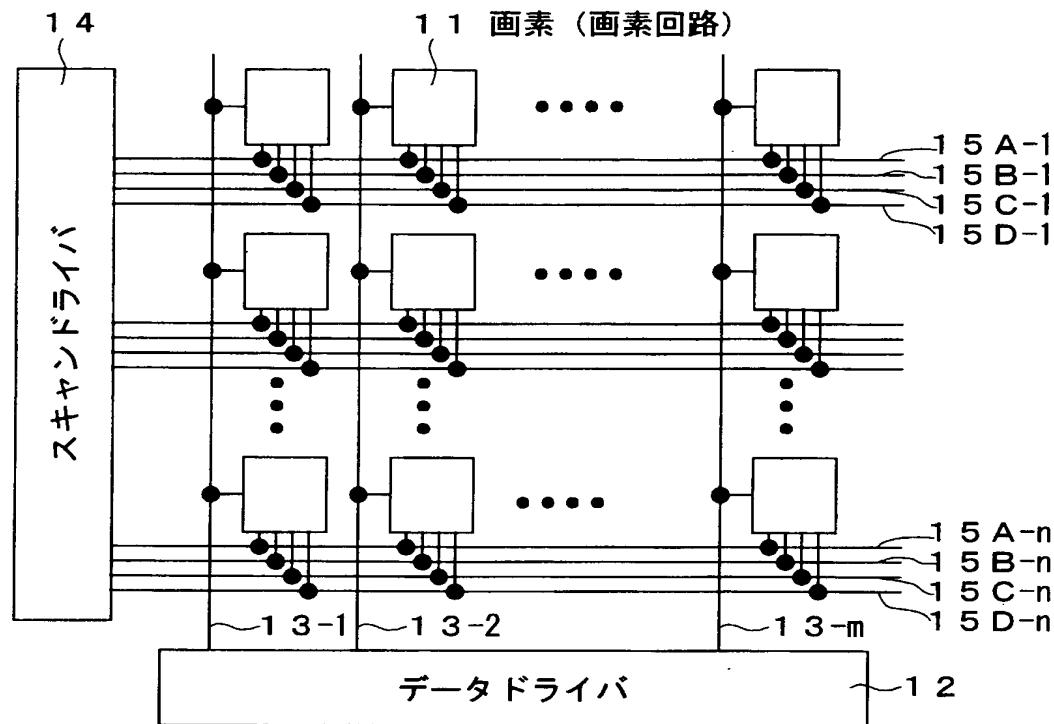
従来例に係る画素回路の動作説明のためのタイミングチャートである。

【符号の説明】

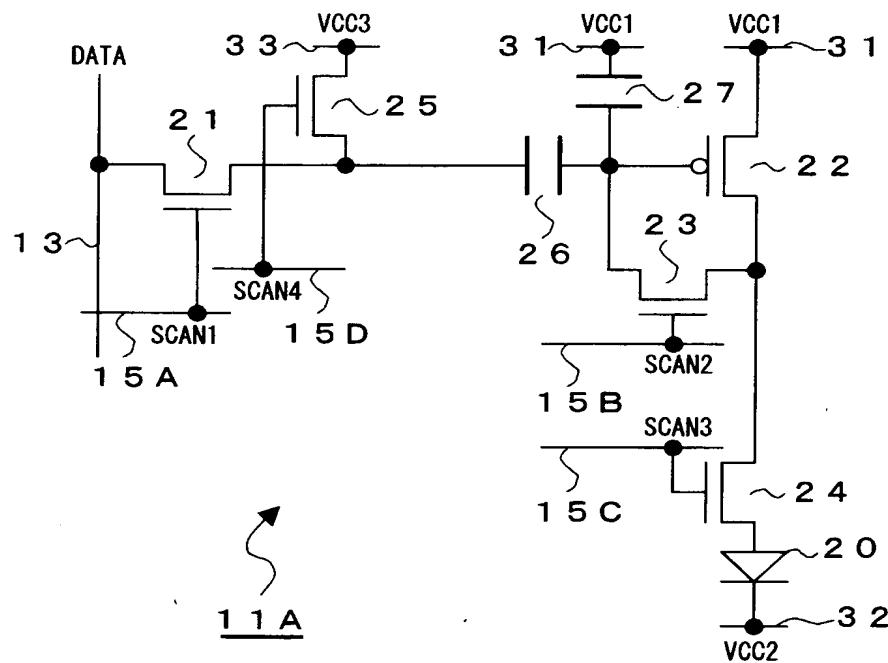
1 1, 1 1 A, 1 1 B, 1 1 C, 1 1 D, 1 1 E, 1 1 F, 1 1 G…画素回路（画素）、1 2…データドライバ（信号線駆動回路）、1 3…信号線、1 4…スキャンドライバ（走査線駆動回路）、1 5 A…第一の走査線、1 5 B…第二の走査線、1 5 C…第三の走査線、1 5 D…第四の走査線、2 1…第一のトランジスタ、2 2…第二のトランジスタ、2 3…第三のトランジスタ、2 4…第四のトランジスタ、2 5…第五のトランジスタ、2 6…第一のキャパシタ、2 7…第二のキャパシタ、3 1…第一の電源線、3 2…第二の電源線、3 3…第三の電源線

【書類名】 図面

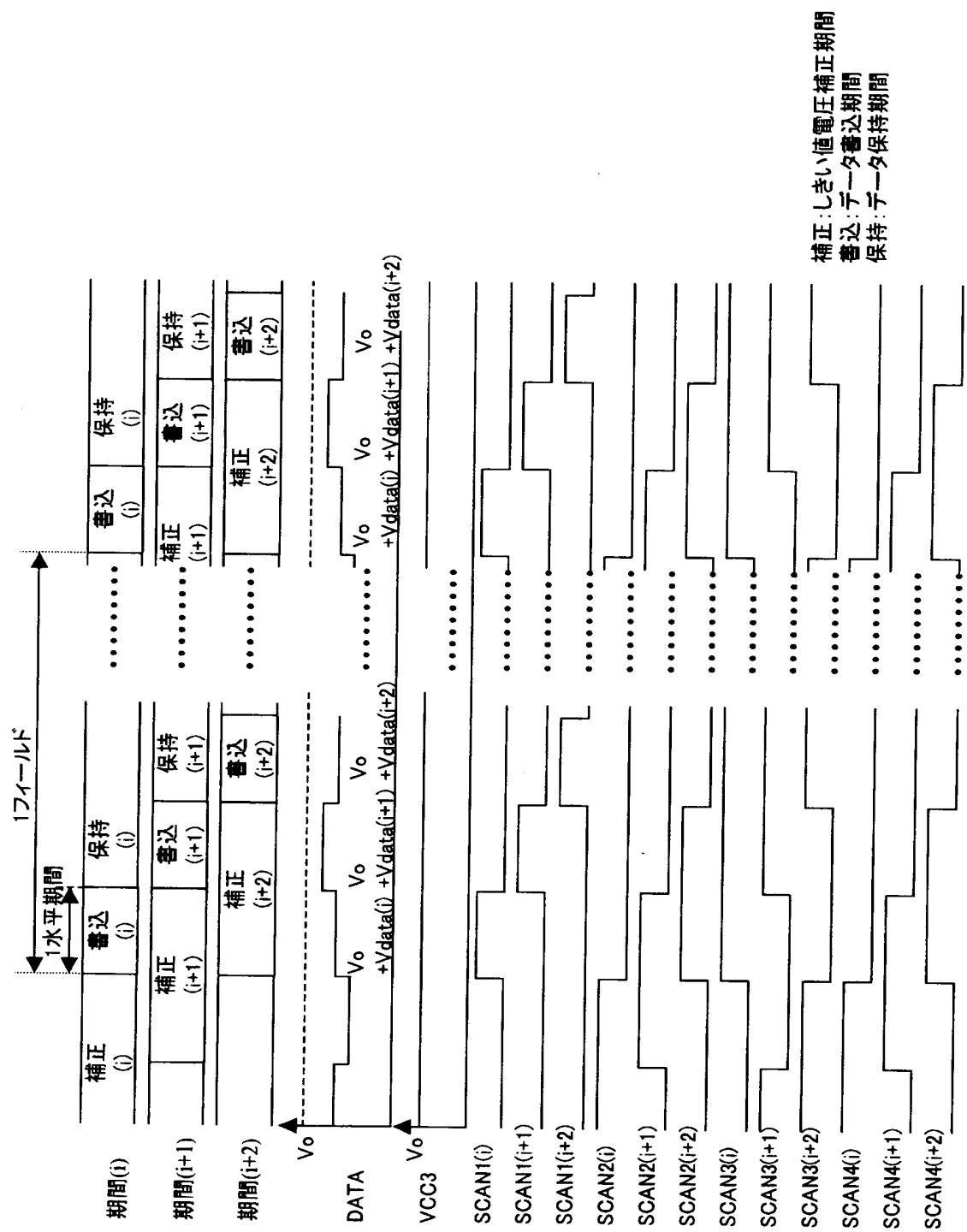
【図1】



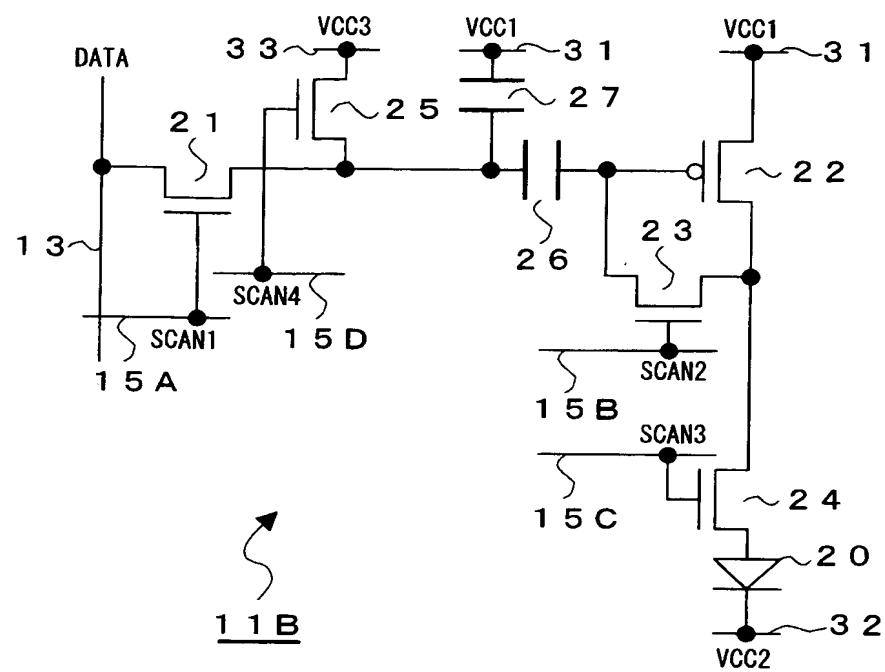
【図2】



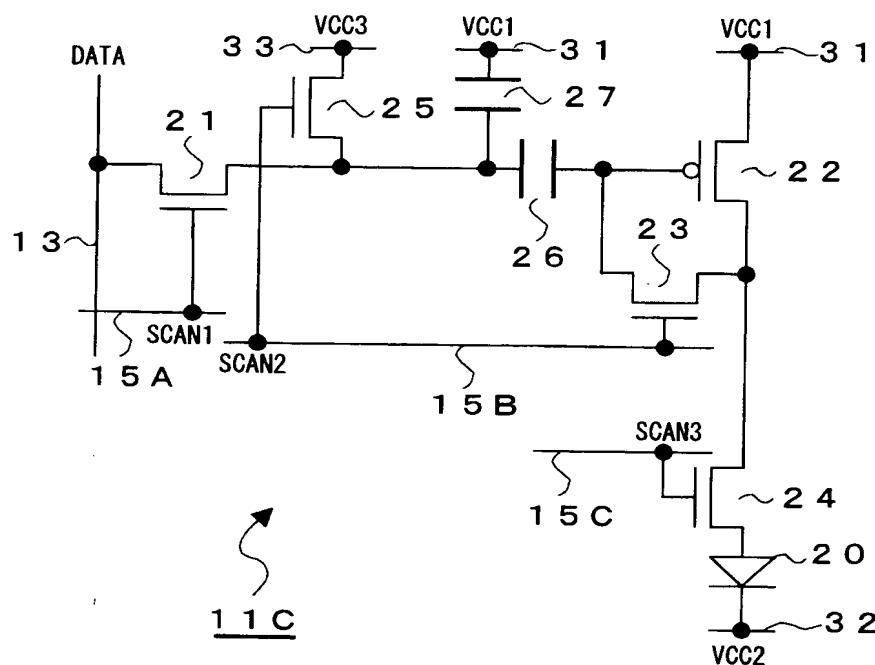
【図3】



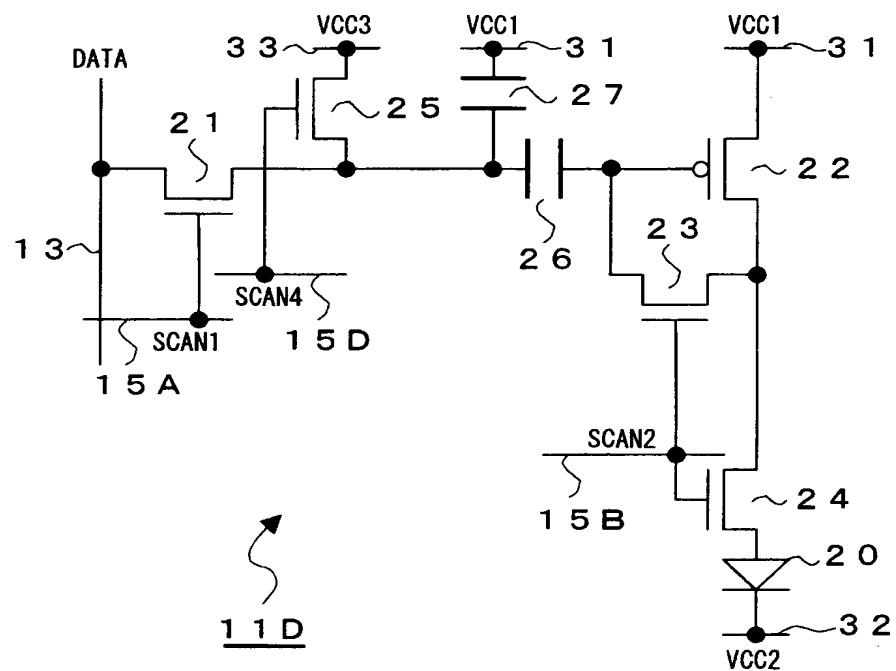
【図 4】



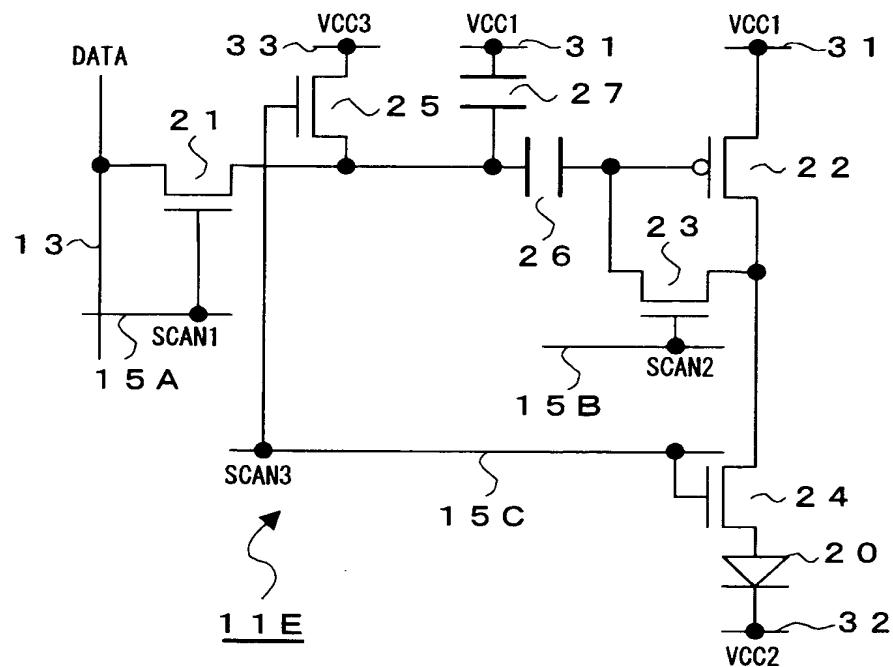
【図 5】



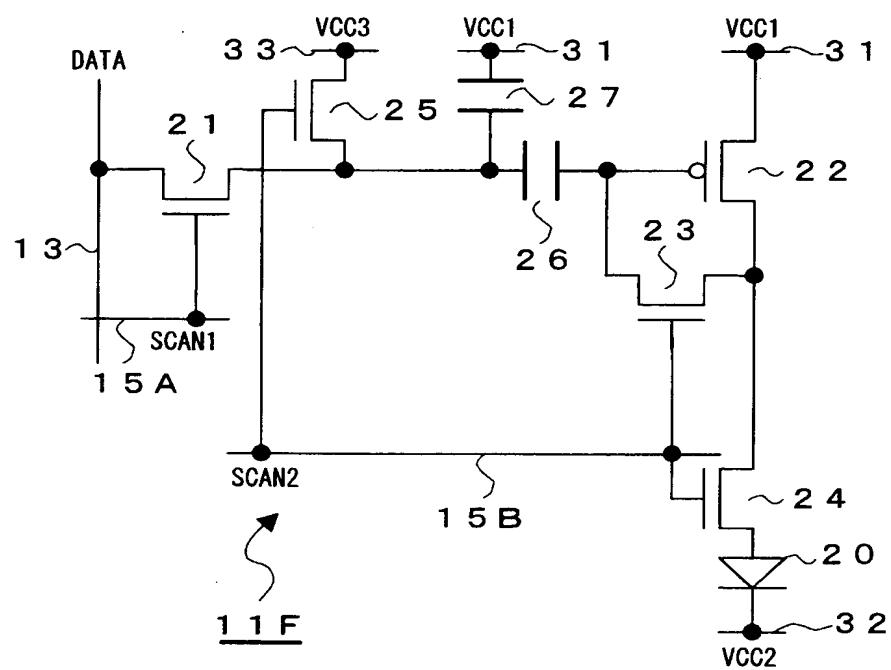
【図 6】



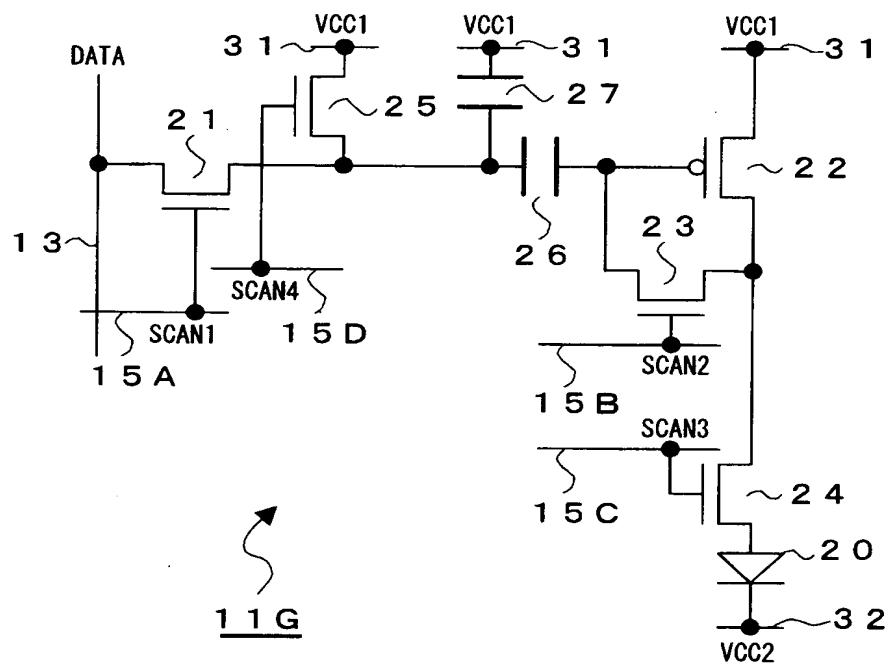
【図 7】



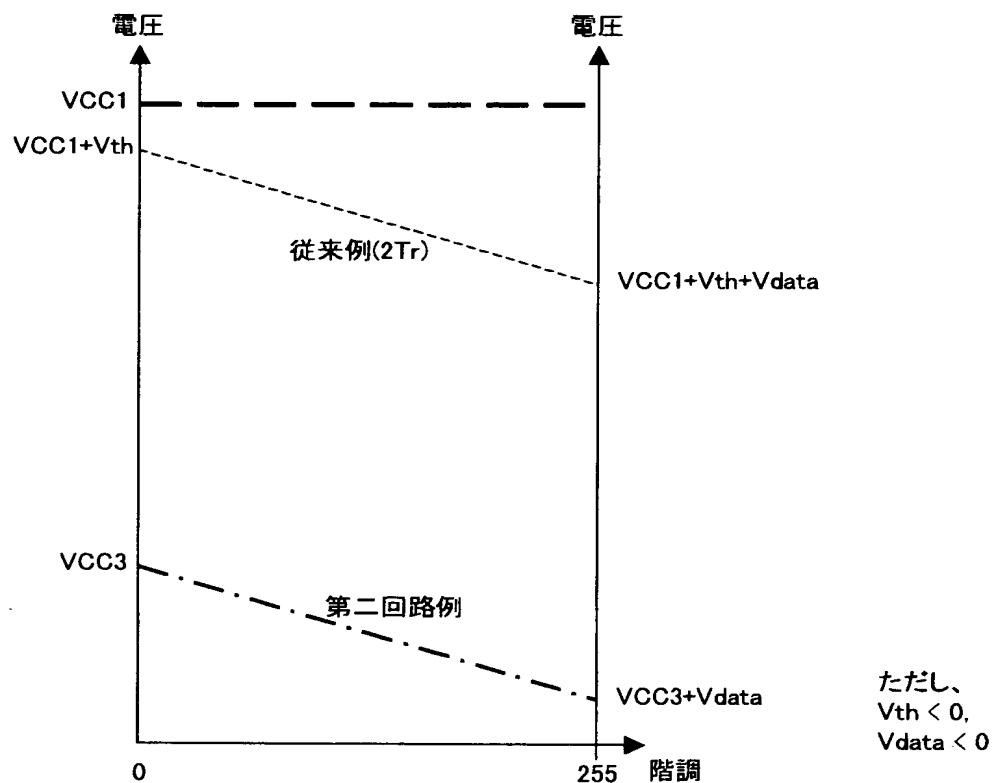
【図 8】



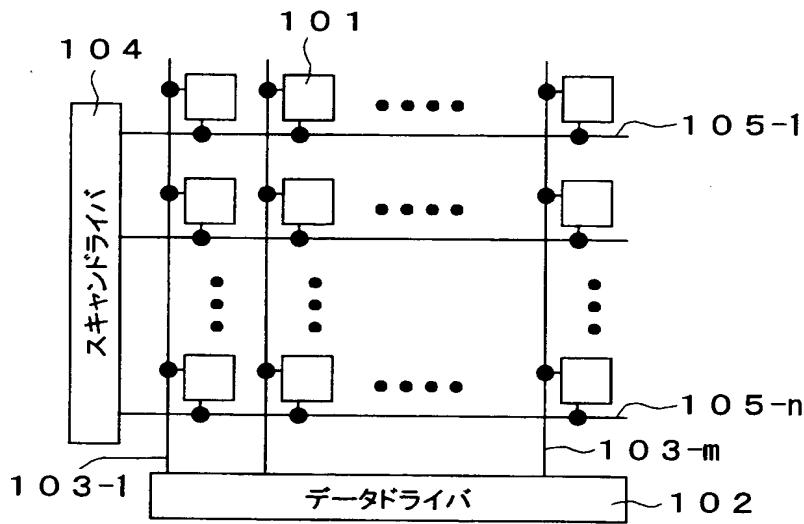
【図 9】



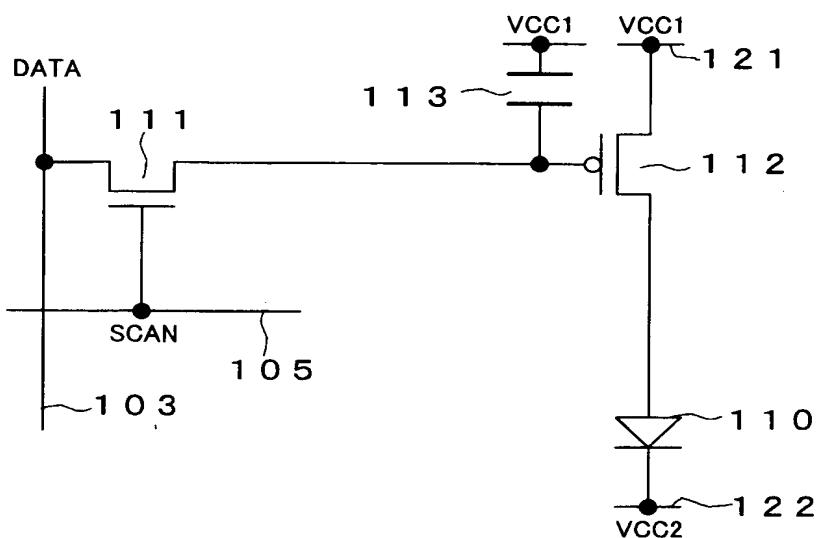
【図10】



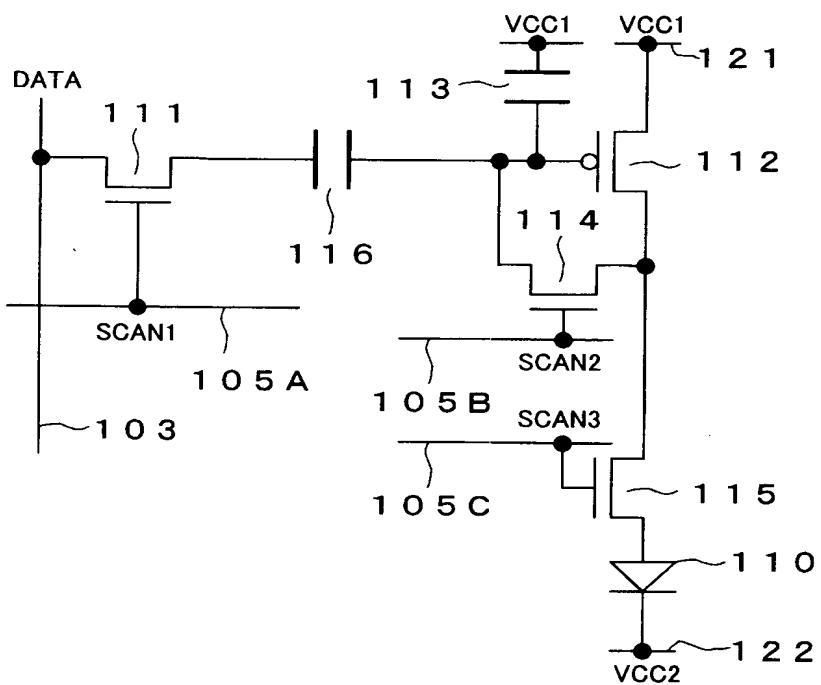
【図11】



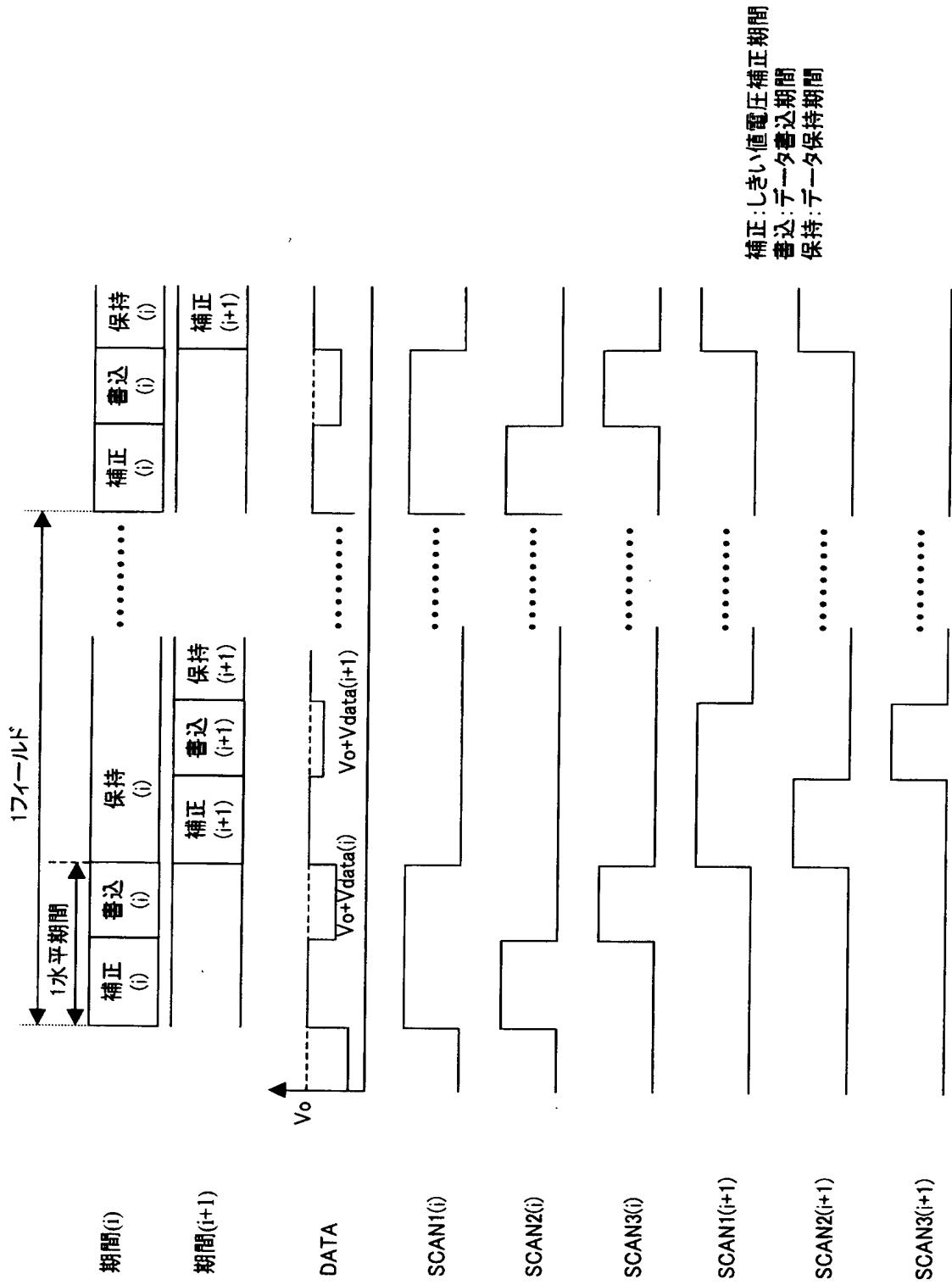
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 しきい値補正期間で固定電位、データ書込期間でデータ電位+固定電位をそれぞれ信号線から供給する構成を採ると、1水平期間内にしきい値電圧補正期間とデータ書込期間とを連続して設ける必要があるため、しきい値電圧補正期間として長い期間を確保できない。

【解決手段】 電源線33と第一のトランジスタ21のドレイン端との間に第五のトランジスタ25を接続して、しきい値電圧の補正に必要となる固定電位として、信号線13とは異なる電源線33の電源電圧VCC3を第五のトランジスタ25を介して供給するようにすることで、しきい値電圧補正期間として十分に長い期間を確保し、第二のトランジスタ22のしきい値電圧ばらつきを画素毎に確実に補正できるようにする。

【選択図】 図2

特願 2002-298428

出願人履歴情報

識別番号

[000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社